



ΗΥ422 - Αρχές Σχεδίασης Συστημάτων *VLSI* Λογική Προσάθθεια - Σχεδίαση γρήγορων κυκλωμάτων *CMOS*

Χ. Σωτηρίου

23 Οκτωβρίου 2002



Λογικές Πύλες CMOS

- η καθυστέρηση μιας πύλης CMOS εξαρτάται από τα μεγέθη των n και p *transistors*.
- εξαρτάται από τον τύπο της πύλης και το φορτίο που οδηγεί στην έξοδο.
- επίσης εξαρτάται από την τεχνολογία κατασκευής:
 - ελαχιστό μήκος πύλης (L): π.χ. 0.18 μm .
 - παρασιτική χωρητικότητα των *transistor*.
 - λόγος ταχύτητας p και n : συνήθως 1 προς 2 (γ).



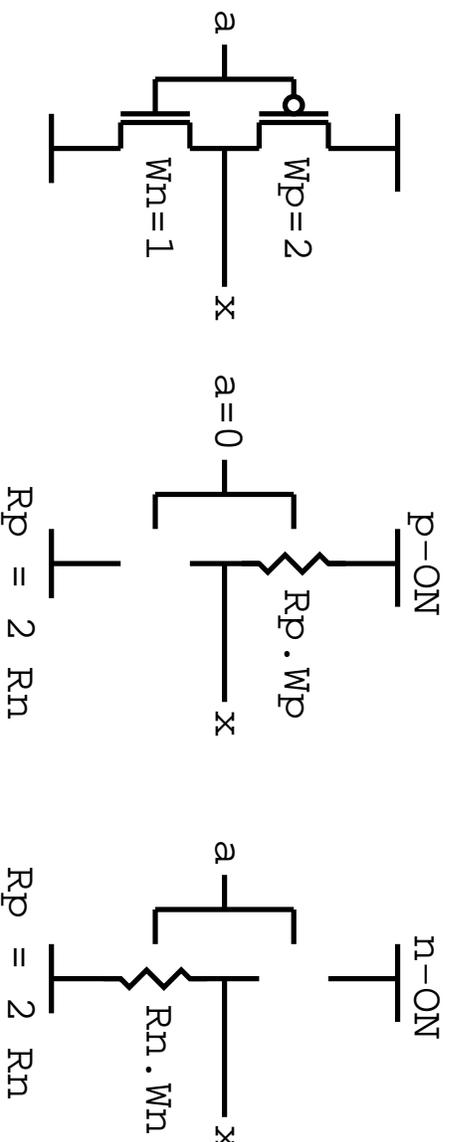
Λογικές Πύλες CMOS

- στο ΗΥ-422 θα εκφράζουμε τα μεγέθη των *transistor* σχετικά με το επιτρεπτό ελάχιστο W .
- π.χ. 1 σημαίνει $W = W_{min}$, 2 σημαίνει $W = 2 W_{min}$, όπου $W_{min} = 0.18\mu m$.
- αφήνουμε το L για όλα τα *transistor* σταθερό στην ελάχιστη τιμή.



Λογικές Πύλες CMOS

- Παράδειγμα πύλης CMOS:

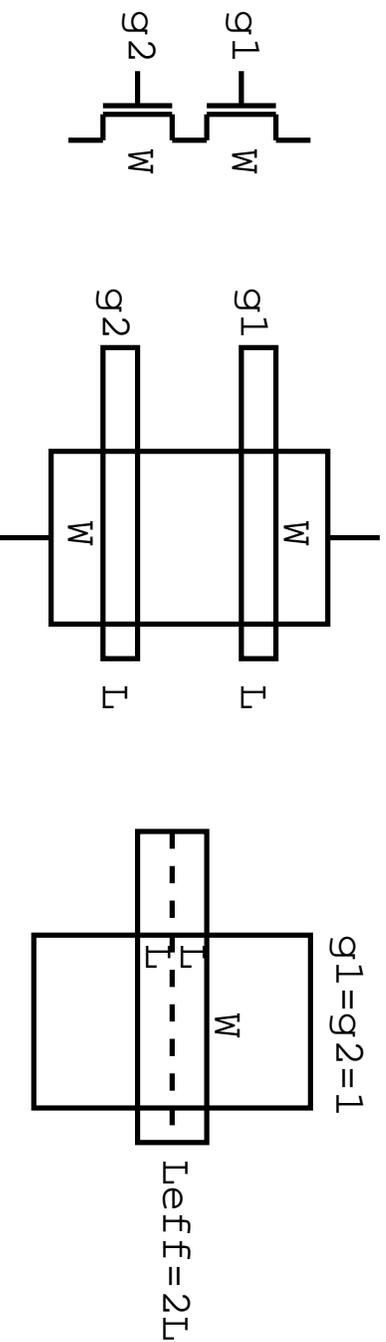


- $\alpha = 1, n ON, x \rightarrow 0.$
- $\alpha = 0, p ON, x \rightarrow 1.$



Λογικές Πύλες CMOS

- *transistor* σε σειρά:

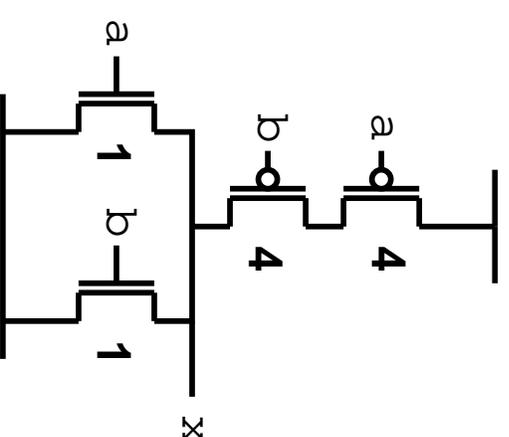
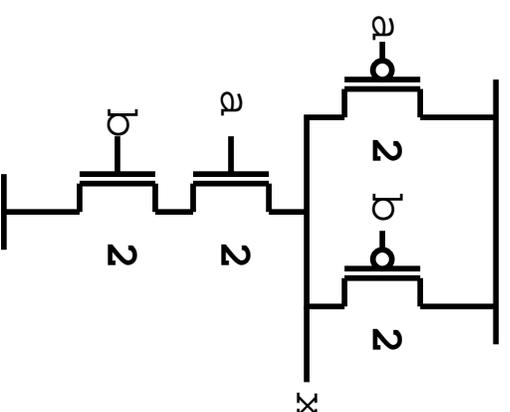
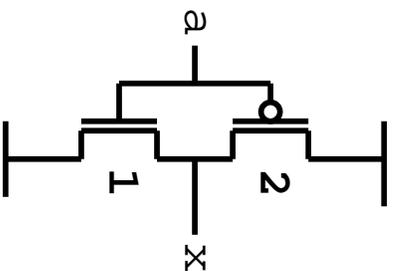


- ΟΤΑΝ και τα δύο είναι **ON** οι αντιστάσεις τους είναι σε σειρά, άρα $L_{eff} = 2L$.
- συνεπώς αν θέλουμε αντιστοιχία μεταξύ αυτών και ενός n πρώττει $W'(g_1) = W'(g_2) = 2W$, αφού κρατάμε το L σταθερό.



Παραδείγματα πυλών με μεγάλη

- διαλέγουμε μεγάλη ώστε οι καθυστερήσεις πυλών να είναι ομοιόμορφες (και πανομοιότυπες με ενός αντιστροφή).





Καθυστέρηση πύλης

- μπορούμε να εκφράσουμε την καθυστέρηση μιας πύλης σε μονάδες ανεξάρτητες τεχνολογίας:
- $d = \frac{d_{abs}}{\tau}$, όπου $\tau =$ καθυστέρηση ενός αντιστροφέα.
- $\tau = 12ps$ σε τεχνολογία 0.18 μm .
- η καθυστέρηση έχει δυο συνιστώσες:
 - παρασιτική καθυστέρηση p (σταθερή).
 - καθυστέρηση προσπάρθειας f .
- $d = f + p$

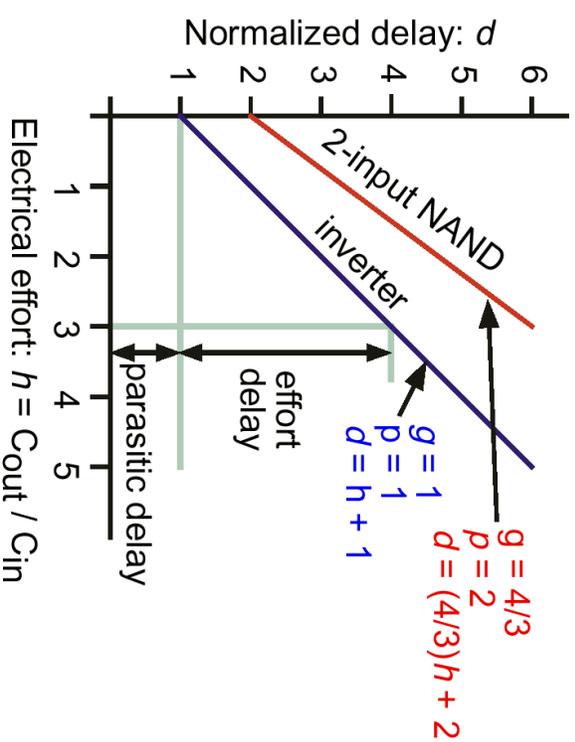


Λογική/Ηλεκτρική Προσάθθεια

- $d = f + p$
- η καθυστέρηση προσάθειας εξαρτάται απο:
 - τον τύπο της πύλης (τοπολογία).
 - το φορτίο στην έξοδο της πύλης.
- $f = gh$, όπου g : λογική προσάθθεια, h : ηλεκτρική προσάθθεια.
- g : δυνατότητα της πύλης να οδηγήσει την έξοδο.
- h : εξαρτάται απο το φορτίο εξόδου, $h = \frac{C_{out}}{C_{in}}$



Καθυστέρηση πύλης

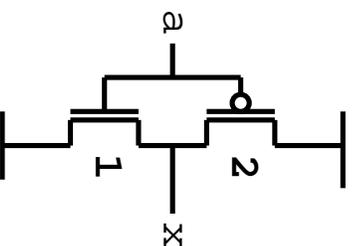


- $d = f + p = gh + p$
- καθυστέρηση αυξάνεται με ηλεκτρική προσπάθεια.
- πολύπλοκες πύλες: μεγαλύτερη λογική προσπάθεια και παρασιτική καθυστέρηση.

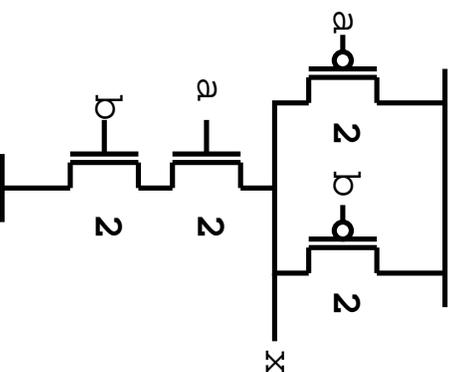


Υπολογισμός Λογικής Προσάθειας

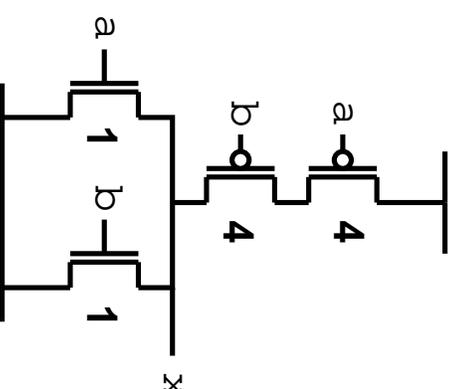
- Ορισμός: Λογική Προσάθεια είναι ο λόγος της χωρητικότητας εισόδου μιας πύλης ως προς την χωρητικότητα εισόδου ενός αντιστροφέα που οδηγεί το ίδιο ρεύμα εξόδου.
- μπορούμε να την υπολογίσουμε μετρώντας χωρητικότητα με βάση τα μεγέθη των *transistor*:



Inverter:
 $C_{in} = 3$
 $g = 1$ (def)



NAND2:
 $C_{in} = 4$
 $g = 4/3$



NOR2
 $C_{in} = 5$
 $g = 5/3$



Τρολογισμός Λογικής Προσπάθειας

- Λογική προσπάθεια:

Αριθμός Εισόδων ($\gamma = 2$)

Τύπος Πύλης	1	2	3	4	5	n
<i>INV</i>	1					
<i>NAND</i>		4/3	5/3	6/3	7/3	$(n+2)/3$
<i>NOR</i>		5/3	7/3	9/3	11/3	$(2n+1)/3$
<i>MUX</i>		2	2	2	2	2
<i>XOR</i>		4	12	32		



Υπολογισμός Λογικής Προσπέδθειας

- παρασιτική καθυστέρηση:

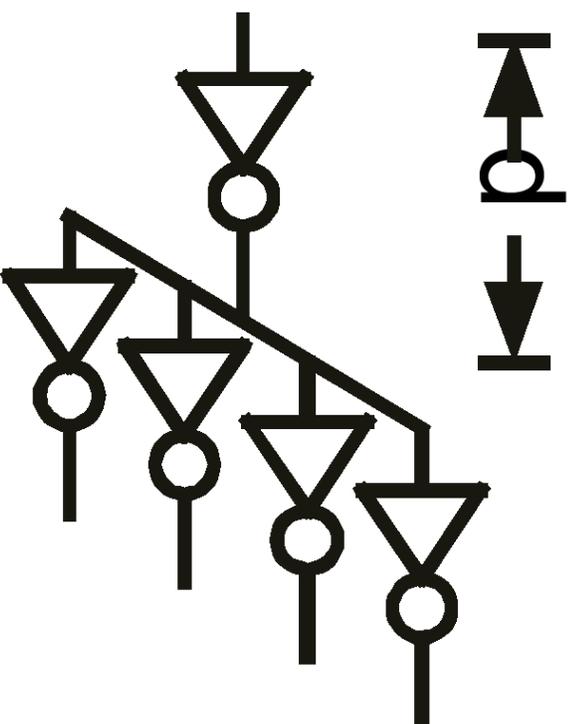
Πύλη	Παρασιτική Καθυστέρηση
<i>INV</i>	$p_{inv} (=1)$
<i>NAND_n</i>	$n p_{inv}$
<i>NOR_n</i>	$n p_{inv}$
<i>MUX_n</i>	$2n p_{inv}$
<i>XOR</i>	$4p_{inv}$

- η παρασιτική καθυστέρηση εξαρτάται από την παρασιτική χωρητικότητα της προηγής διάχυσης (*diffusion*).



Παράδειγμα 1

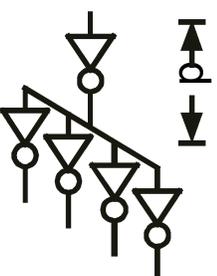
- Υπολογίστε την καθυστέρηση ενός αντιστροφέα με φορτίο 4 ($FO4 - fanout$ of 4):





Παράδειγμα 1 - Δύση

- Υπολογίστε την καθυστέρηση ενός αντιστροφέα με φορτίο 4 ($FO4 - fanout$ of 4):

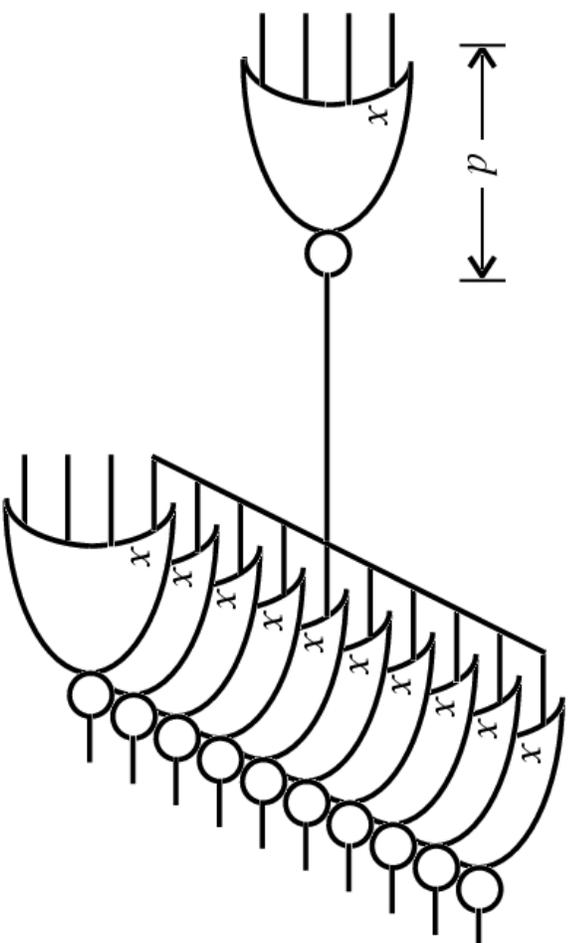


- έχουμε $C_{out} = 4C_{in}$ άρα $h = 4$.
- $g = 1$ για INV
- $d = gh + p = 4 + 1 = 5$.



Παράδειγμα 2

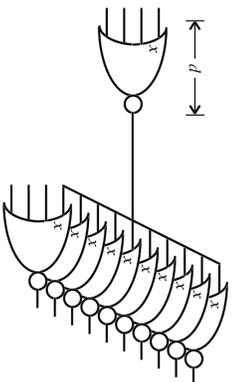
- Υπολογίστε την καθυστέρηση μιας πύλης NOR4 που οδηγεί 10 ίδιες:





Παράδειγμα 2 - Δύση

- Υπολογίστε την καθυστέρηση μιας πύλης *NOR4* που οδηγεί 10 ίδιες:

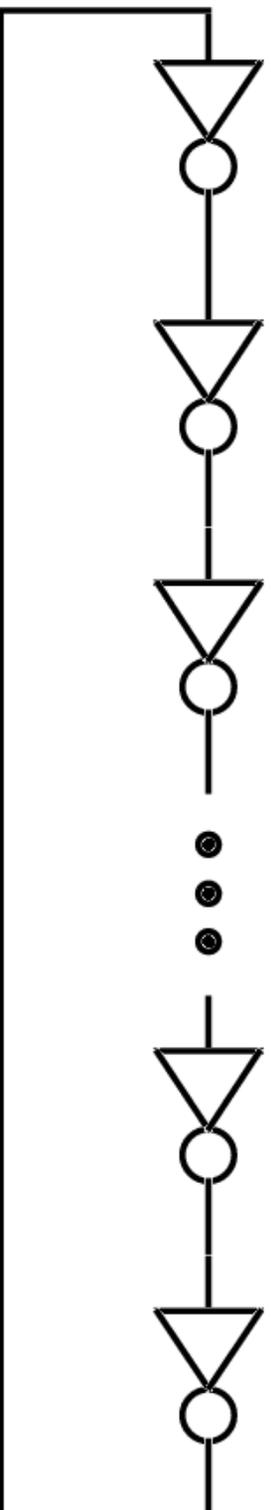


- άν η χωρητικότητα εισόδου της πύλης είναι x , τότε η χωρητικότητα εξόδου είναι $10x$, άρα $h = 10$.
- η λογική προσπάθεια μιάς *NOR4* είναι $9/3 = 3$.
- η παρασιτική καθυστέρηση της *NOR4* είναι 4.
- άρα η καθυστέρηση είναι: $d = gh + p = 3 \times 10 + 4 \times 1 = 34$.
- βλέπουμε ότι για μεγάλο φορτίο η παρασιτική καθυστέρηση γίνεται ασήμαντη.



Παράδειγμα 3

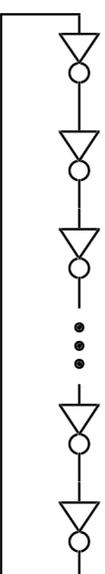
- Υπολογίστε την καθυστέρηση ενός αντιστροφέα σε ένα κυκλικό ταλαντωτή και την συχνότητα ταλάντωσης F ως προς τον αριθμό των αντιστροφέων N :





Παράδειγμα 3 - Δύση

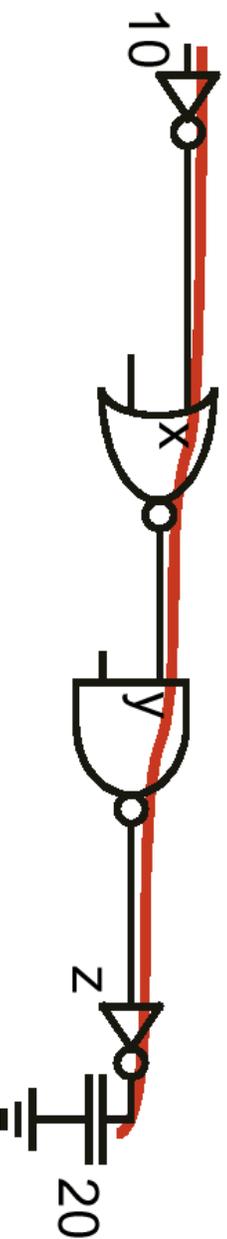
- Υπολογίστε την καθυστέρηση ενός αντιστροφέα σε ένα κυκλικό ταλαντωτή και την συχνότητα ταλάντωσης F ως προς τον αριθμό των αντιστροφών N :



- έχουμε $h = 1$ επειδή $C_{out} = C_{in}$, και $g = 1$.
- άρα $d = gh + p = 1 \times 1 + p_{inv} = 2$.
- για να εκφράσουμε το d σε μονάδες χρόνου: $d_{abs} = d \times \tau$
- N πρέπει να είναι μονός αριθμός για ταλάντωση.
- έχουμε $\frac{1}{2NF} = d\tau = (1 + p_{inv})\tau$
- $\frac{1}{2NF}$, επειδή η περίοδος είναι το μισό του χρόνου ταλάντωσης.
- αυτό το κύκλωμα χρησιμοποιούμε για να μετρήσουμε το τ , την καθυστέρηση ενός αντιστροφέα.



Καθυστέρηση/Μήκος Οδών



$$g_1 = 1 \qquad g_2 = 5/3 \qquad g_3 = 4/3 \qquad g_4 = 1$$

$$h_1 = x/10 \qquad h_2 = y/x \qquad h_3 = z/y \qquad h_4 = 20/z$$

- πολλές φορές έχουμε πάνω απο μία πύλη (στάδια) σε μία οδό.
- μας ενδιαφέρουν τα εξής:
 - ποιός είναι ο βέλτιστος τρόπος διαμόρφωσης της καθυστέρησης σε στάδια;
 - ποιός είναι ο βέλτιστος αριθμός σταδίων;



Καθυστέρωση Οδών

- μπορούμε να ανάγουμε την μέθοδο της λογικής προστάθειας σε οδούς πολλαπλάνω σταδίων.
- ορίζουμε την λογική και ηλεκτρική προστάθεια μίας οδού ως G και H .
- για i στάδια ορίζουμε:

$$G = \prod g_i, \text{ και } H = \frac{C_{out}}{C_{in}}$$

- αρα $D = GH$;; ΟΧΙ, χρειαζόμαστε και ένα νέο είδος προστάθειας, προστάθεια βρόχου λόγω της ύπαρξης πηρουνιών (*forks*) σε οδούς.



Προσπάθεια Βρόχου

- ορίζουμε την προσπάθεια βρόχου της εξόδου μιας λογικής πύλης ως:

$$b = \frac{C_{on-path} + C_{off-path}}{C_{on-path}} = \frac{C_{total}}{C_{useful}}$$

- έτσι σε μία οδό με i στάδια ορίζουμε:

$$B = \prod b_i$$

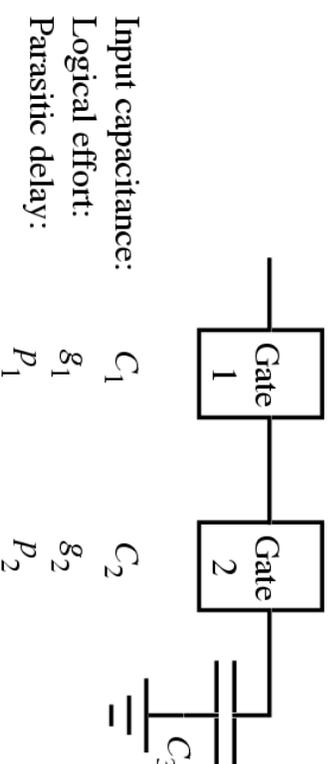
- τώρα μπορούμε να γράψουμε $F = GBH$.
- η ηλεκτρική προσπάθεια συσχετίζεται άμεσα με την προσπάθεια βρόχου:

$$BH = \frac{C_{out}}{C_{in}} \prod b_i = \prod h_i$$



Διαμοιρασμός Προσπάθειας

- παρακάτω βλέπουμε μια οδό 2 σταδίων:



- μπορούμε να αποδείξουμε ότι έχουμε ελάχιστη καθυστέρηση όταν $g_1 h_1 = g_2 h_2$, δηλαδή το κάθε στάδιο καταβάλλει ίδια προσπάθεια.

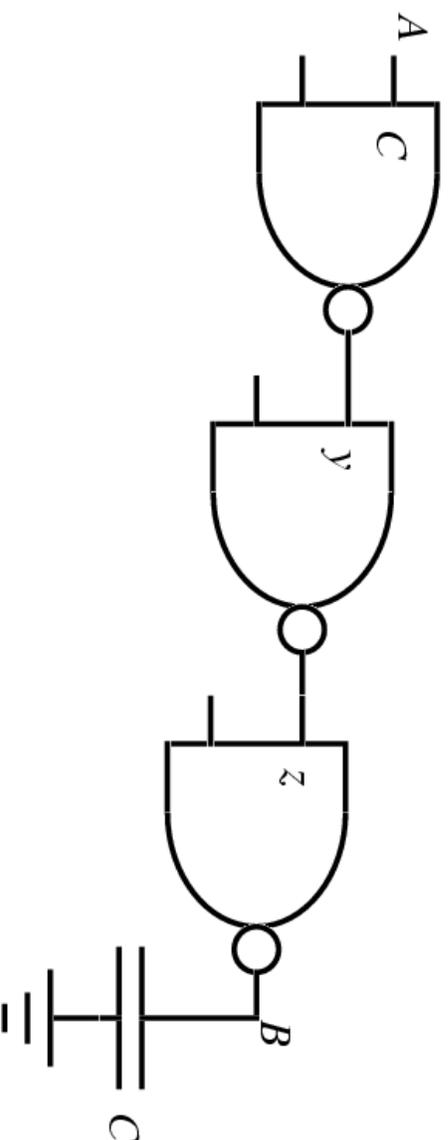


Καθυστέρηση Οδών

- για N στάδια, η ελάχιστη καθυστέρηση συνεπάγεται ότι:
 - $g1h1 = g2h2 = \dots = gnhn$, και
 - $(g1h1)(g2h2)\dots(gNhN) = GBH = F$, άρα:
 - $\hat{f} = F^{\frac{1}{N}} = g_i h_i$, όπου \hat{f} η προστάθεια του κάθε σταδίου που δίνει βέλτιστη καθυστέρηση
- καθυστέρηση οδού: $D = \sum d_i = D_F = P = \sum g_i h_i + \sum p_i$
- βέλτιστη καθυστέρηση: $\hat{D} = NF^{\frac{1}{N}} + P$
- ρύθμιση ηλεκτρικής προστάθειας: $\hat{h}_i = F^{\frac{1}{N}} g_i$, και $C_{in_i} = \frac{g_i C_{out_i}}{\hat{f}}$



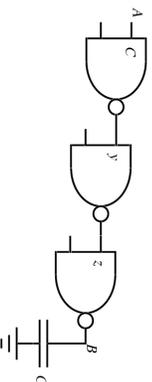
Παράδειγμα 4



- Υπολογίστε την ελάχιστη καθυστέρηση από το A στο B, και τα κατάλληλα μεγέθη των *transistor* των πυλών που την επιτυγχάνουν.



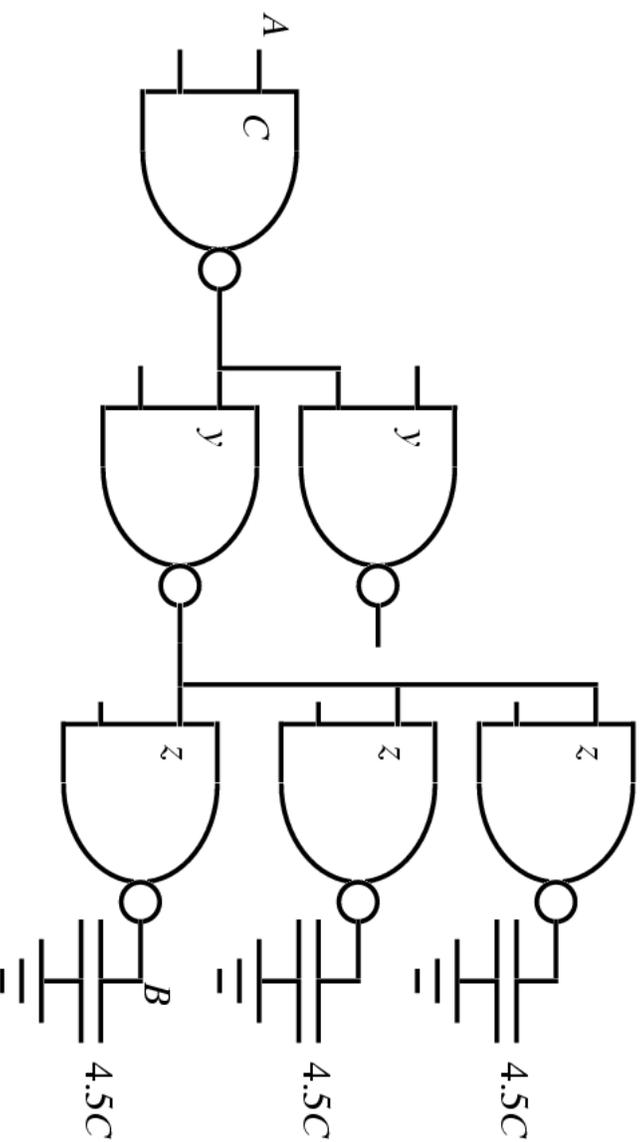
Παράδειγμα 4 - Δύση



- έχουμε $G = g0g1g2 = 4/3 \times 4/3 \times 4/3 = 2.37$, $B = 1$ (δεν έχουμε βρόχους) και $H = C/C = 1$.
- άρα προσπαθούμε οδού $F = GBH = 2.37$.
- ελάχιστη καθυστέρηση $\hat{D} = 3(2.37)^{\frac{1}{3}} + 3(2pinv) = 10$
- τέλος έχουμε $\hat{f} = 2.37^{\frac{1}{3}} = 4/3$, άρα $z = y = C$



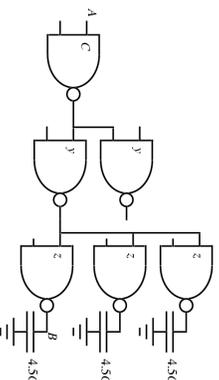
Παράδειγμα 5



- Βελτιστοποιείστε το παραπάνω κύκλωμα για ελάχιστη καθυστέρηση μεταξύ των σημείων **A** και **B**, όταν η ηλεκτρική προστάθεια της οδού είναι 4.5



Παράδειγμα 5 - Δύση



- έχουμε $G = (4/3)^3$.
- προσθήκη βρόχου $b_1 = (y + y)/y = 2$ και $b_2 = (z + z + z)/z = 3$.
- άρα $B = 2 \times 3 = 6$, ενώ ξέρουμε ότι $H = 4.5$.
- έτσι $F = GBH = 64$ και η βέλτιστη καθυστέρηση $\hat{D} = 3(64)^{\frac{1}{3}} + 3(2p_{inv}) = 18$.
- έχουμε $\hat{f} = (64)^{\frac{1}{3}} = 4$, άρα:
 - $z = \frac{4/3 \times 4.5C}{4} = 1.5C$
 - η έξοδος y οδηγεί 3 z , άρα: $y = \frac{4/3 \times 3z}{4} = 1.5C$



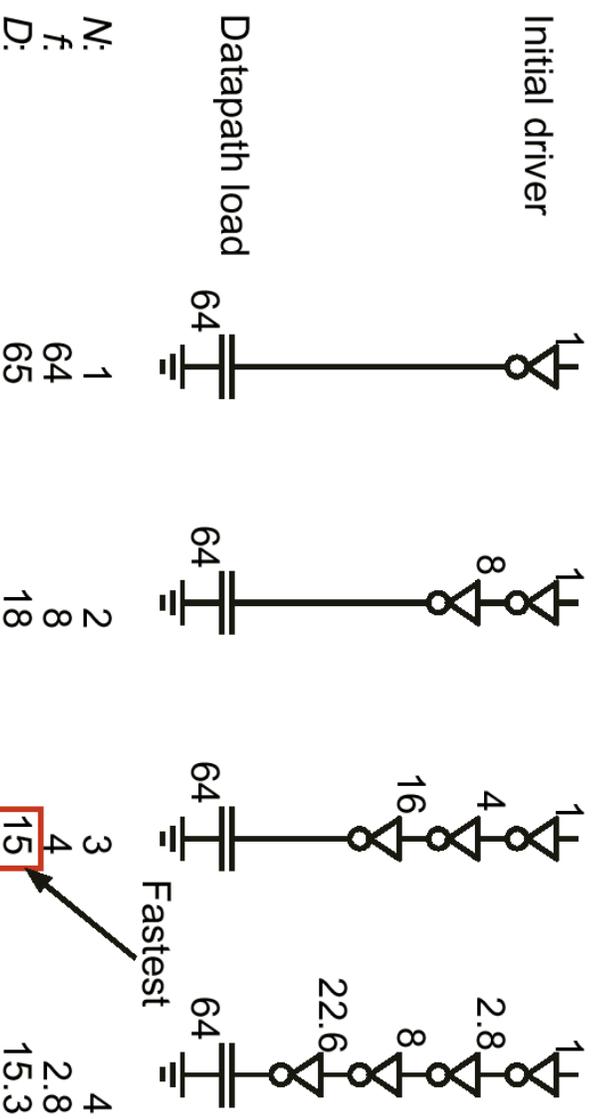
Βέλτιστος Αριθμός Σταδίων

- κρατώντας σταθερό τον αριθμό σταδίων, N , ο ισόποσος διαμοιρασμός της προσάθειας ελαχιστοποιεί την καθυστέρηση.
- μπορούμε όμως να πετύχουμε καλύτερα αποτελέσματα, αν αλλάξουμε το N , π.χ. προσθέτοντας αντιστροφείς στην έξοδο μιας οδού.
- Παράδειγμα: πως οδηγούμε γρήγορα ένα *64-bit datapath* με ένα αντιστροφήα ελάχιστου μεγέθους ($W_n=1$);



Βέλτιστος Αριθμός Σταδίων

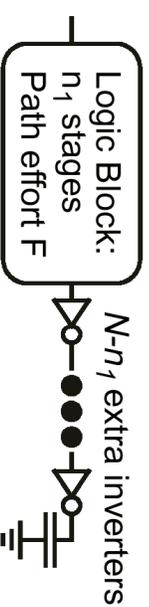
- Παράδειγμα: πως οδηγούμε γρήγορα ένα 64-bit datapath με ένα αντιστροφή ελάχιστου μεγέθους ($W_{n=1}$);





Βέλτιστος Αριθμός Σταδίων

- Μπορούμε να προσθέσουμε αντιστροφείς στο τέλος μίας οδού χωρίς να αλλάξουμε την λογική συνάρτηση της.
- Αν η οδός έχει αρχικά n_1 στάδια και προσθέσουμε n_2 αντιστροφείς, θεωρούμε N το σύνολο:



$$D = NF^{1/N} + \sum_1^{n_1} p_i + (N - n_1)p_{inv}$$

$$\frac{\partial D}{\partial N} = -F^{1/N} \ln(F^{1/N}) + F^{1/N} + p_{inv} = 0$$

- αντικαθιστώντας $\rho = F^{1/N}$ (προστάθεια σταδίου), έχουμε $p_{inv} + \rho(1 - \ln \rho) = 0$



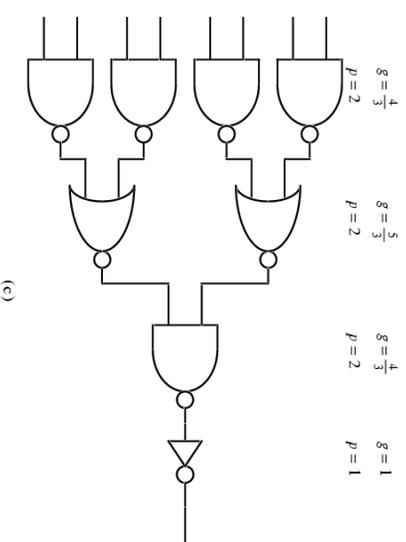
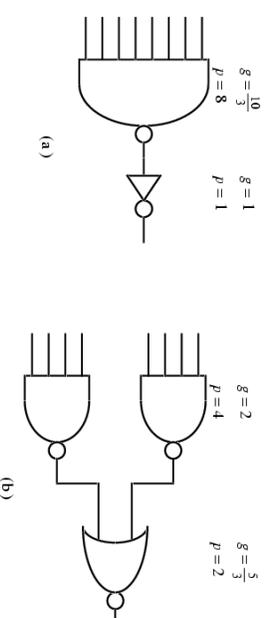
Βέλτιστος Αριθμός Σταδίων

- αντικαθιστώντας $\rho = F^{1/N}$ (προσπάθεια σταδίου), έχουμε $p_{inv} + \rho(1 - \ln\rho) = 0$
- άν θεωρήσουμε (προσεγγιστικά) ότι $p_{inv} = 0$, τότε έχουμε αναλυτική λύση $\rho = e = 2.718$.
- για $p_{inv} = 1$, $\rho = 3.59$, δηλαδή 4 (κοντινότερος ακαίρεος).
- γενικά έχουμε ελάχιστη καθυστέρηση όταν η προσπάθεια του κάθε σταδίου είναι κοντά στο 4.
- άρα ο βέλτιστος αριθμός σταδίων είναι $\hat{D} = \log_4 F$.



Παράδειγμα 6

- Χρησιμοποιήστε μια πύλη **AND** 8 εισόδων. Ποια από τις παρακάτω είναι η πιο γρήγορη υλοποίηση;





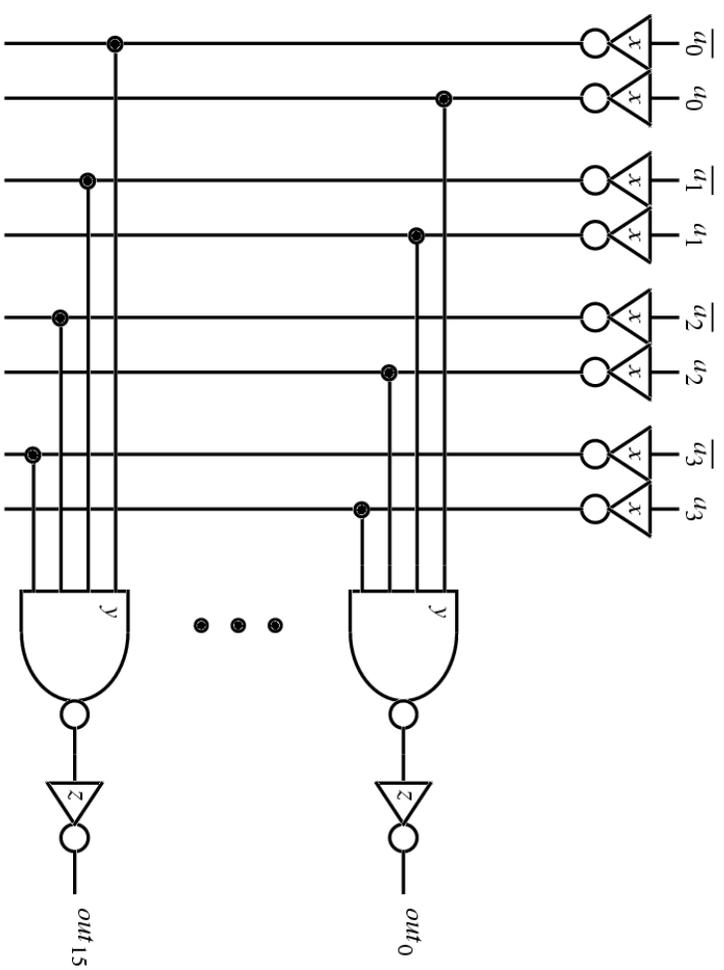
Παράδειγμα 7

- Σχεδιάστε έναν *decoder* για ένα αρχείο καταχωρητών με 16 καταχωρητές των 32-bit. Οι είσοδοι είναι ζεύγιοι των 4-bit: a_0 , \bar{a}_0 , a_1 , \bar{a}_1 , a_2 , \bar{a}_2 και a_3 , \bar{a}_3 .
- Υποθέστε ότι οι είσοδοι οδηγούνται από πύλες δύναμης (*drive*) 10 και ότι το κάθε *bit* παρουσιάζει φορτίο 3.



Παράδειγμα 7

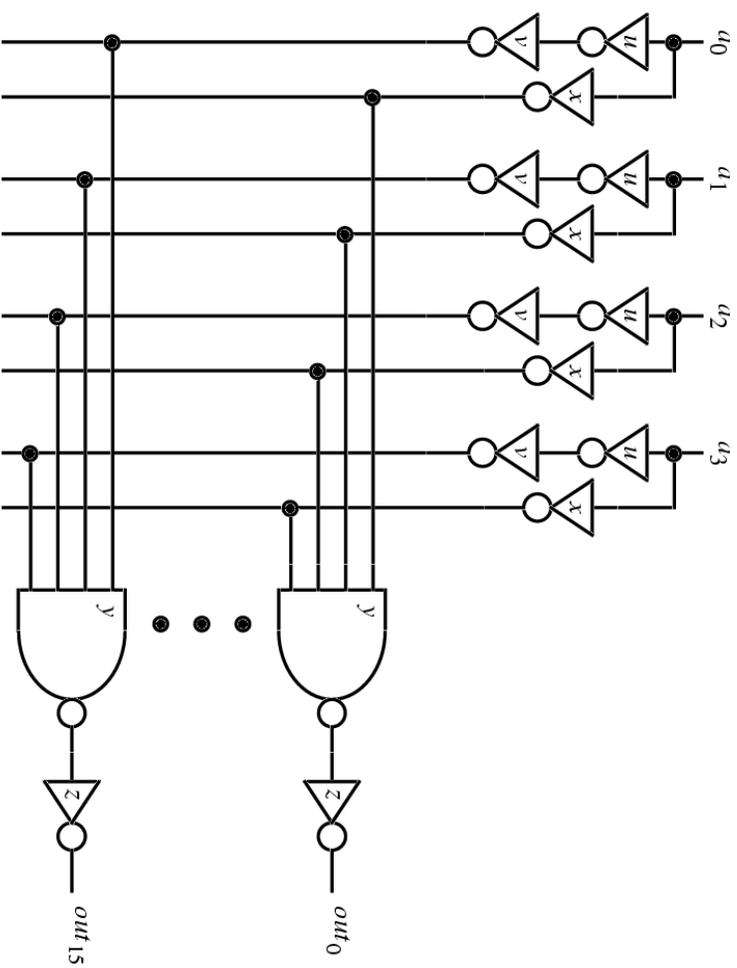
- Δομή του *decoder* με 3 στάδια:





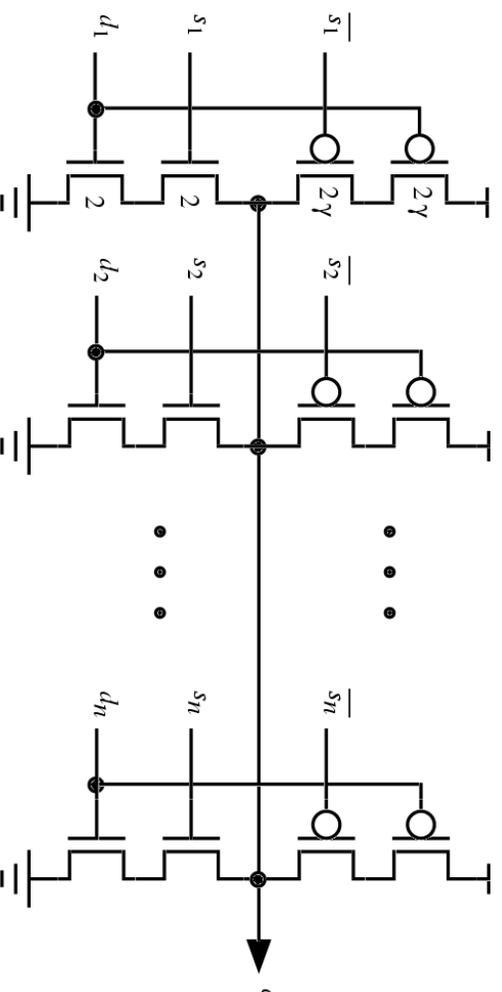
Παράδειγμα 7

- Δομή του *decoder* με 4 στάδια:





Πολυπλέκτης/3-κατ. - Λογική Προσάθεια

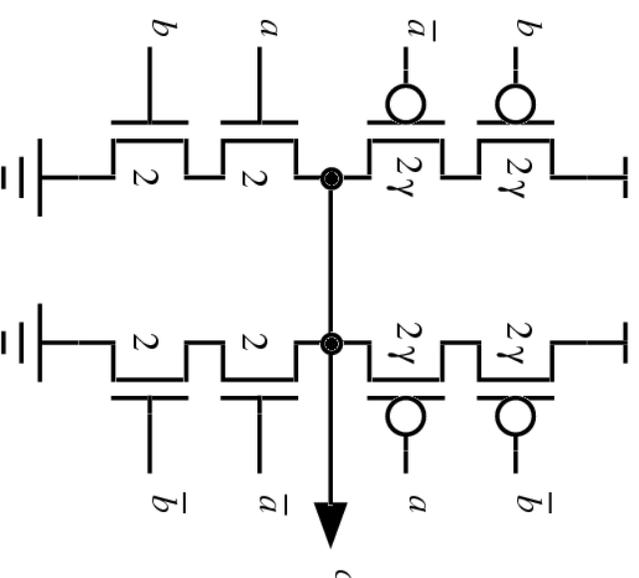


- n εισοδοι δεδομένων d_1, d_2, \dots, d_n και n ζευγάρια σημάτων διαλογής $s_1, \bar{s}_1, \dots, s_n, \bar{s}_n$.
- λογική προσάθεια ανά είσοδο: $g = 2$.



XOR, XNOR

XOR 2 εισόδων:

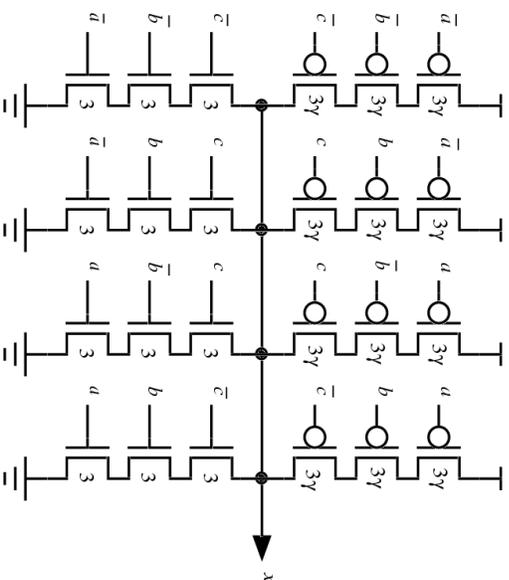


- λογική προσάθεια ανα είσοδο: $g = 2$ ανά είσοδο ή 4 ανα ζεύγος.



Parity₃

Parity 3 εισόδων:

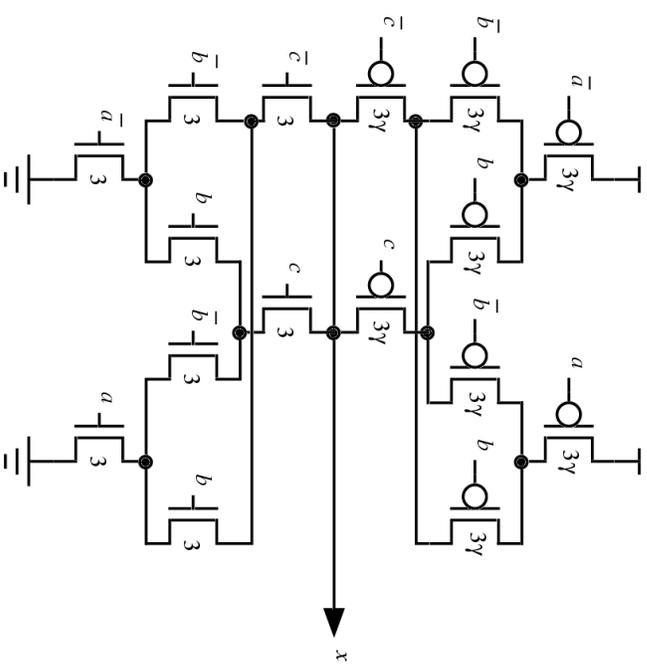


- λογική προσάθεια ανα είσοδο: $g = 6$ ανά είσοδο ή 12 ανα ζεύγος.
- η ασυμμετρική Parity έχει χαμηλότερη λογική προσάθεια.



Asύμμετρη *Parity*₃

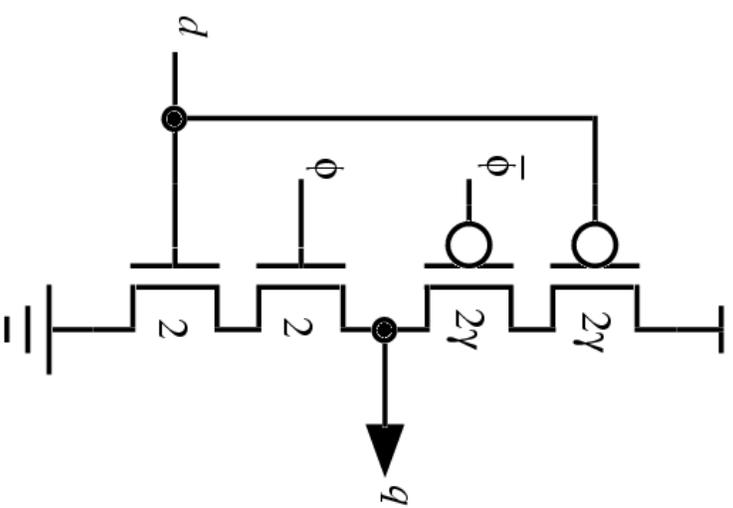
Asύμμετρη *Parity*₃ εισόδων:



- Λογική προσάθεια ανα είσοδο: $g = 6$ ανά είσοδο ή 12 ανα ζεύγος.



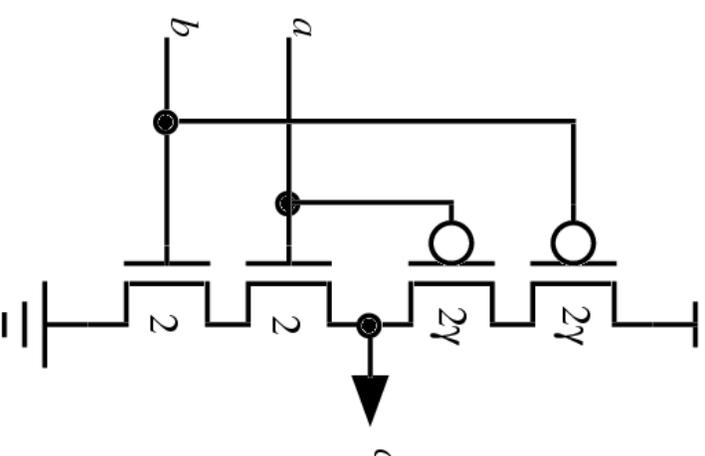
Δυναμικό *Latch*



- Λογική προσάθεια ανα είσοδο (ϕ και d): $g = 2$



Δυναμικό *C-Muller*



- Λογική προσάθεια ανα είσοδο: $g = 2$